

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-262430

(43)Date of publication of application : 25.12.1985

(51)Int.Cl.

H01L 21/56
H01L 21/60
H01L 23/30

(21)Application number : 59-118423

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.06.1984

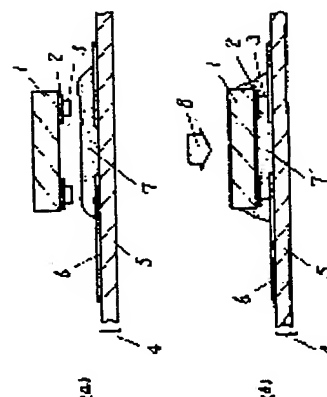
(72)Inventor : HATADA KENZO

54) MANUFACTURE OF SEMICONDUCTOR DEVICE

57)Abstract:

PURPOSE: To attain a connection with an excellent yield by interposing photosetting or thermosetting resin between a metal projection on an electrode pad of a semiconductor element and a wiring pattern of a wiring substrate and by setting it under pressure.

CONSTITUTION: A film of Cr-Cu or the like is connected on an electrode pad 2 of a semiconductor element 1, electrolytic plating is applied thereto, and thereby a projection 3 of Au is made. Photosetting or thermosetting resin 7 is applied on a glass substrate 4 which has a wiring pattern 6 prepared by plating Cu with Cu. The projection 3 and the wiring pattern are matched in position with each other and made to contact 8 under pressure so as to expand the resin 7 and attain electric connection, and a light or a heat is applied thereto. Then the resin is set and fixed with electric continuity maintained. By this construction, the electrode pad of the semiconductor element and an outside circuit can be connected simply with each other.



LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of
rejection]

Date of requesting appeal against examiner's decision
of rejection]

Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

第7部門(2)

特許法第64条の規定による補正の掲載

平 4.11.27発行

昭和59年特許願第118423号(特公平2-7180号、平2.2.15発行の特許公報7(2)-10〔766〕号掲載)については特許法第64条の規定による補正があつたので下記のとおり掲載する。

Int. Cl.⁵
H 01 L 21/60
23/29
23/31

特許第1689504号
識別記号 庁内整理番号
311 6918-4M

8617-4M H 01 L 23/30

記

1 「特許請求の範囲」の項を「1 電極パッド上にAu、Ag又はCuよりなる金属突起を有する半導体素子と前記電極パッドと相対する配線パターンを有する配線基板との間に光または熱硬化性樹脂を介在させ、前記半導体素子上の金属突起と配線基板上の配線パターンとを位置合せしかつ加圧せしめて前記金属突起と配線パターンの両者を圧接し、前記突起とパターン間の前記樹脂を押し拡げて前記突起とパターンの圧接のみで電気的接続を得るとともに前記半導体素子の周縁まではみ出させた後、この状態で前記樹脂を光もしくは熱によつて硬化せしめて前記半導体素子と配線基板とを固定することを特徴とする半導体装置の製造方法。

2 半導体素子の金属突起と配線基板上の配線パターンとの間のみ金属層を介在させたことを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。」と補正する。

2 第3欄9～16行「本発明……である。」を「本発明の半導体装置の製造方法は、電極パッド上にAu、Ag又はCuよりなる金属突起を有する半導体素子と前記パッドと相対する配線パターンを有する配線基板との間に光または熱硬化性樹脂を介在させ、前記半導体素子上の金属突起と配線基板上の配線パターンとを位置合せしかつ加圧せしめて前記金属突起と配線パターンの両者を圧接し、前記突起とパターン間の前記樹脂を押し拡げて前記突起とパターンの圧接のみで電気的接続を得るとともに前記半導体素子の周縁まではみ出させた後、この状態で前記樹脂を光もしくは熱によつて硬化せしめて前記半導体素子と配線基板とを固定する方法である。」と補正する。

3 第3欄22行「半田等」を削除する。

⑩ 日本国特許庁(JP)

特 許 出 願 公 告

特 許 公 報 (B2) 平2-7180

⑥ Int. Cl.³

H 01 L 21/60
23/29
23/31

識別記号

3 1 1 S

庁内整理番号

6918-5F

④ 公告 平成2年(1990)2月15日

6412-5F H 01 L 23/30

R

発明の数 1 (全3頁)

④ 発明の名称 半導体装置の製造方法

② 特 願 昭59-118423

⑥ 公 開 昭60-262430

② 出 願 昭59(1984)6月8日

⑥ 昭60(1985)12月25日

② 発 明 者 畑 田 賢 造 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑦ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
④ 代 理 人 弁理士 中 尾 敏 男 外1名
審 査 官 小 田 裕

【特許請求の範囲】

1 電極パッド上に金属突起を有する半導体素子と前記電極パッドと相対する配線パターンを有する配線基板との間に光または熱硬化性樹脂を介在させ、前記半導体素子上の金属突起と配線基板上の配線パターンとを位置合せしかつ加圧せしめた後、前記樹脂を光もしくは熱によつて硬化せしめたことを特徴とする半導体装置の製造方法。

2 樹脂が半導体素子周縁を覆ったことを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

3 半導体素子の金属突起と配線基板上の配線パターンとの間のみに金属層を介在させたことを特徴とする特許請求の範囲第1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

産業上の利用分野

本発明は、半導体素子の電極パッドと外部回路とを簡便に接続する方法に関するものである。

従来例の構成とその問題点

近年、半導体素子を多数個用いるデバイス、機器の開発が促進されてきている。例えば、メモリーカード、液晶やELディスプレイパネル等があり、これらは、いずれも多数個のIC、LSIを一定の面積を有する基板に、高密度にしかも薄型に搭載しなければならない。IC、LSIの実装手段として、フィルムキャリア方式や、フリップチップ方

式が公知であるが、次の様な問題がある。

前記フィルムキャリア方式もフリップチップ方式のいずれも半導体素子の電極パッド上に金属突起を形成するが、フリップチップ方式においては、配線基板上の配線パターンと半導体素子の金属突起とを位置合せし、加熱せしめて、半田づけ固定するものである。したがってフリップチップ方式の場合は、電気的接続と、配線基板上への半導体素子の固定とを半田づけ固定した位置で行なうもので、外部からの熱や機械的歪により、配線基板が膨張したりそつたりした場合には、半田づけ位置が強固に固定されているので、その変化に充分に対応できなくなり、接続部や半導体素子自体の破損をまねいていた。

またフィルムキャリア方式においては、半導体素子上の金属突起とフィルムリードとを接続し、フィルムリードを配線基板の配線パターンと接続するため、前述した配線基板のそりや膨張等の変化に充分に対応できるものの、フィルムリードを必要とするため、実装コストが高価になったり、フィルムリード部分が半導体素子からはみ出た状態で回路基板に固定されるために、実装面積が大きくなるという欠点がある。

ところで、本発明者は、半導体素子の電極と回路基板の配線パターンの接続において、電気的接続を行なわせる部分と、前記半導体素子を回路基板上に機械的に固定する部分とを分離させるとい

うことに着目することにより、前述した回路基板の膨張そりによる接続不要や、コスト高を一掃できるということを見出した。

発明の目的

本発明はこのような従来の問題に鑑み、回路基板の膨張やそりに対応し接続不良の発生しない、安価な接続方法を提供することを目的とする。

発明の構成

本発明は、半導体素子の電極パッド上に金属突起を形成し、これと前記金属突起と相対する配線パターンを有する配線基板との間に光硬化もしくは熱硬化型の樹脂を介在せしめ、前記半導体素子の金属突起を配線基板の配線パターンに圧接し、前記樹脂を硬化さす事により、前記半導体素子の金属突起と配線基板と配線パターンとを接続する構成である。

実施例の説明

第1の実施例を第1図で説明する。半導体素子1の電極パッド2に、Cr-Cu、Ti-Pd等の多層金属膜を被着せしめて、電解メッキ法により金属突起3を形成する。金属突起3は、Au、Ag、Cu半田等の材料で3~30 μ mの厚さに構成される。

一方、回路基板4は、ガラス、セラミックス、樹脂もしくは金属酸化物を表面に被覆した金属等5の平面に、少なくとも半導体素子1の金属突起3と対応した位置に配線パターン6を形成してある。配線パターン6は、Cu、Al、Au、ITO等を母体にし、酸化しやすい材質例えばCuであれば、Auメッキ、Snメッキ、半田メッキ等の処理を施してある。前記回路基板4面上もしくは半導体素子1の金属突起を形成した面上に樹脂7を塗布配置する(第1図a)。樹脂7は、液状もしくはシート状であつて、光もしくは熱によつて硬化するものである。

次いで、半導体素子1上の金属突起3と回路基板4上の配線パターン6とを位置合せし、両者を圧接8せしめる。この圧接8により、樹脂7は、押し拡げられ、前記金属突起3と配線パターン6とは、電気的接続を得る。この状態で、樹脂7に対し、光もしくは熱を加えれば、樹脂7は硬化樹脂7'となり、樹脂7'により、半導体素子1と回路基板4とは、金属突起3と配線パターン6との電気的導通を継続したまま固定されることになる。

この状態を第1図bに示す。すなわち、半導体

素子1の金属突起3と配線基板4上の配線パターン6との電気的接続は圧接で行なわれ、半導体素子1と配線基板4との固定は硬化した樹脂7'によつてなされるものである。

次に他の実施例を第2図で説明する。この構成においては、半導体素子1上の金属突起3と配線基板4の配線パターン6との間に低融点金属9を形成したもので、低融点金属9は、In-Ga系の合金もしくはPd-Sn系の合金からなり、前記半導体素子1の使用温度領域で、その粘性が温度により変化しかつ柔らかい材料の組成で構成されるものである。すなわち半導体素子および回路基板を含めて温度上昇や機械的応力が作用しても、低融点金属9により充分に吸収でき、半導体素子1上の金属突起3と配線パターン6との電気的接続を継続できるものである。また、樹脂7を半導体素子周縁までみ出させ、硬化させれば、電極パッドの保護としての効果も得られ、信頼性の高い半導体装置を得ることができる。

さらに、本発明は、半導体素子1の電極パッド上に金属突起を形成しているために、配線基板4の配線パターンに圧接しても、半導体素子1の金属突起以外の部分例えば半導体素子1の端部が配線パターンに接触してしまい、電気的短絡を発生させることがないものである。

発明の効果

(1) 本発明は、半導体素子1の金属突起と配線基板4の配線パターンとの電気的接続は圧接、半導体素子1と回路基板4との固定は樹脂で行なわれるために、温度による回路基板4の膨張による歪、機械的歪等が半導体素子1自体に直接作用しないので、半導体素子1を損傷したり、電気的接続不良を発生させることがない。

(2) 半導体素子1の金属突起と配線基板4の配線パターンとは単に圧接しているのみであるから、配線パターンの材質を特定の材料に選択したり、多層構成にする必要がない。すなわち、合金を作りにくい配線パターン材料や処理をしにくい配線パターン例えばTi、ITO等の材料とでも、電気的接続を容易に得ることができる。

(3) 本発明は、圧接し、樹脂を光もしくは熱によつて硬化せしめるものであるから、例えば光で前記樹脂を硬化せしめれば、回路基板および半導体素子1には全く熱が加わらないし、熱硬化す

(3)

る場合でもせいぜい150℃以下であつて、従来の如く半田づけやAu・Sn合金のように300℃以上の温度を加える必要がない。これにより、構成材料の熱歪を小さくすることができ、信頼度の高い接続を得ることができる。

(4) また、本発明は、従来の如く、半田づけや合金による接続を行なわないため、接続時に発生する余剰の半田や、合金等による電極パッド間や配線パターン間の電氣的短絡を発生させることがない。

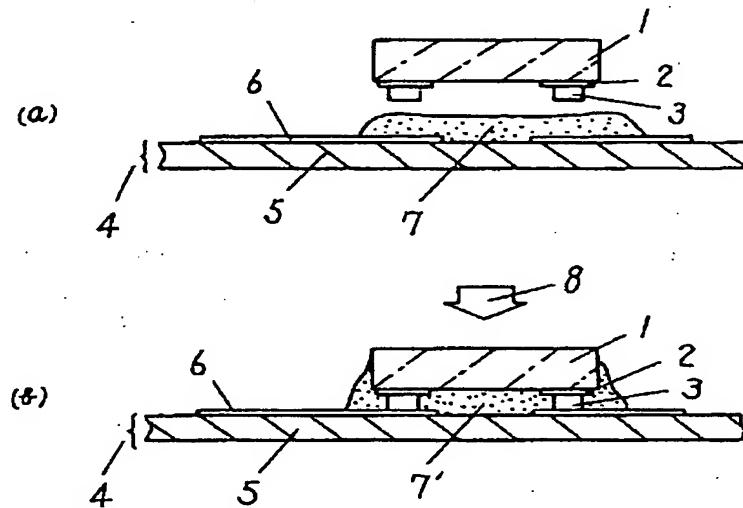
(5) 更にまた、本発明は、圧接し、樹脂を硬化させるのみであるから実装のコストも低減できるものである。

【図面の簡単な説明】

第1図a、bは本発明の一実施例の半導体装置の製造工程を示す断面図、第2図は同他の実施例にかかる装置を示す断面図である。

1……半導体素子、2……電極パッド、3……金属突起、4……配線基板、6……配線パターン、7……樹脂、9……低融点金属。

第1図



第2図

